

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-280231  
(43)Date of publication of application : 06.10.1992

(51)Int.Cl. G02F 1/136  
G02F 1/1343  
H01L 27/12  
H01L 29/784

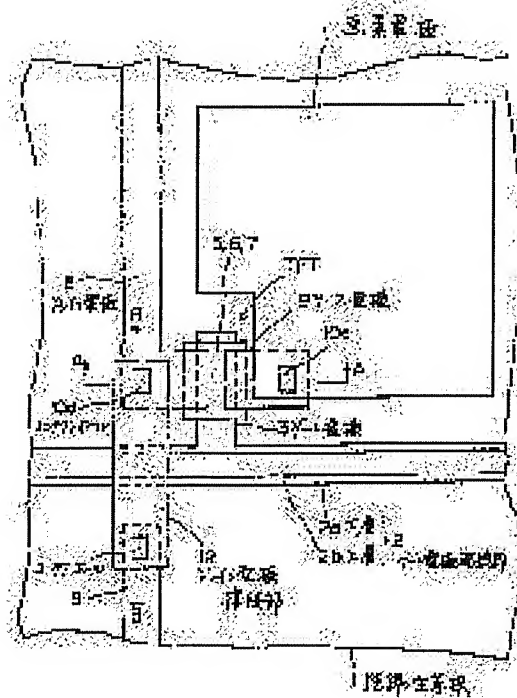
(21)Application number : 03-043342 (71) OKI ELECTRIC IND CO LTD  
(22)Date of filing : 08.03.1991 (72)Inventor : YOSHIDA MAMORU  
KOIZUMI MASUMI  
WATANABE NOBUAKI  
SHIMIZU MARI

(54) THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To minimize the electric resistivity of a gate electrode wiring without complicating the manufacturing process of a TFT array substrate and improve the picture quality.

CONSTITUTION: A gate electrode 3 and the lower layer 2a of a gate electrode wiring 2 are formed on a substrate 1, an insulating film 5, an a-Si film 6, and a n-a-Si film 7 are formed on the gate electrode, and a drain electrode 8, a source electrode 9, and the upper layer 2b of the gate electrode wiring 2 are formed by film formation by the same metal and etching. Further, a passivation film 10 is formed, a contact hole is formed, and a picture element electrode 11 connected to the source electrode 9 by an ITO and a drain



electrode connecting part 12 connected to the drain electrode 9 through contact holes 10a, 10b are formed. Since the upper layer is formed on the lower layer of the gate electrode wiring part in this way, the electric resistivity is lowered, and the picture quality is improved. Further, since the picture element electrode and the drain electrode connecting part can be formed in the same step, the manufacturing process is never complicated.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-280231

(43)公開日 平成4年(1992)10月6日

| (51)Int.Cl. <sup>5</sup> | 識別記号  | 庁内整理番号  | F I             | 技術表示箇所  |
|--------------------------|-------|---------|-----------------|---------|
| G 0 2 F 1/136            | 5 0 0 | 9018-2K |                 |         |
| 1/1343                   |       | 9018-2K |                 |         |
| H 0 1 L 27/12            | A     | 8728-4M |                 |         |
| 29/784                   |       | 9056-4M | H 0 1 L 29/78   | 3 1 1 A |
|                          |       |         | 審査請求            | 未請求     |
|                          |       |         | 請求項の数 2 (全 6 頁) |         |

|          |                |         |  |
|----------|----------------|---------|--|
| (21)出願番号 | 特願平3-43342     | (71)出願人 | 000000295<br>沖電気工業株式会社<br>東京都港区虎ノ門1丁目7番12号 |
| (22)出願日  | 平成3年(1991)3月8日 | (72)発明者 | 吉田 守<br>東京都港区虎ノ門1丁目7番12号 沖電気<br>工業株式会社内    |
|          |                | (72)発明者 | 小泉 真澄<br>東京都港区虎ノ門1丁目7番12号 沖電気<br>工業株式会社内   |
|          |                | (72)発明者 | 渡辺 宣朗<br>東京都港区虎ノ門1丁目7番12号 沖電気<br>工業株式会社内   |
|          |                | (74)代理人 | 弁理士 前田 実                                   |

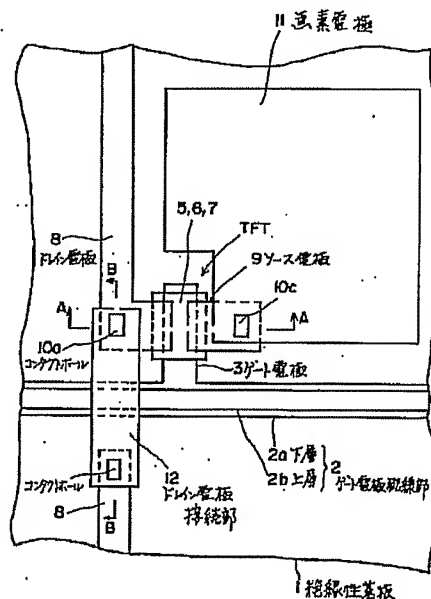
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタアレイ基板及びその製造方法

(57) 【要約】

〔目的〕 TFTアレイ基板の製造工程を複雑にすることなく、ゲート電極配線の電気抵抗率を小さし、画質を向上させる。

〔構成〕 基板 1 上に、ゲート電極 3 及びゲート電極配線 2 の下層 2 a を形成し、ゲート電極上に絶縁膜 5、 $a-Si$  膜 6、 $n^+ a-Si$  膜 7 を形成し、同一金属の成膜及びエッチングによりドレイン電極 8 とソース電極 9 とゲート電極配線 2 の上層 2 b とを形成する。さらに、パッシベーション膜 10 を形成し、コンタクトホールを形成し、ITO によりソース電極 9 に接続された画素電極 11 と、コンタクトホール 10 a と 10 b とを介してドレイン電極 8 に接続されたドレイン電極接続部 12 とを形成する。このように、ゲート電極配線部の下層上に上層が設けられるので、電気抵抗率が低くなり、画質が向上する。また、画素電極とドレイン電極接続部とを同一工程で形成できるので、製造工程が複雑にならない。



実施例の平面図

## 【特許請求の範囲】

【請求項1】 絶縁性基板と、上記絶縁性基板上に形成されたゲート電極配線部の下層と、上記絶縁性基板上に上記下層と同じ金属により形成され、上記下層に接続されたゲート電極と、上記ゲート電極上に形成された絶縁膜と、上記絶縁膜上に形成された半導体層と、上記絶縁性基板上の上記ゲート電極配線部の間の部分に、上記ゲート電極配線部に交差する方向に延びるように形成されたドレイン電極と、上記絶縁性基板上の所定位置に上記ドレイン電極と同じ金属により形成されたソース電極と、上記ゲート電極配線部の下層上に上記ドレイン電極と同じ金属により形成された上層と、上記絶縁性基板上を覆うように形成されたパッシベーション膜と、上記パッシベーション膜の上記ドレイン電極端部上と、上記ソース電極上とに形成されたコンタクトホールと、上記パッシベーション膜上に形成され、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記パッシベーション膜上に上記画素電極と同じ金属により形成され、上記コンタクトホールを介して隣り合うドレイン電極同士を接続するドレイン電極接続部と、を有することを特徴とする薄膜トランジスタアレイ基板。

【請求項2】 絶縁性基板上に、互いに平行に延びるように複数本のゲート電極配線部の下層を形成し、これと同時に上記ゲート電極配線部の下層と同じ金属よりなるゲート電極を形成する工程と、上記ゲート電極上に絶縁膜と半導体層と順に形成する工程と、上記絶縁性基板上の上記ゲート電極配線部の間に、上記ゲート電極配線部に交差する方向に延びるドレイン電極を形成し、これと同時に上記絶縁性基板上の所定位置に上記ドレイン電極と同じ金属よりなるソース電極を形成し、これと同時に上記ゲート電極配線部の下層上に上記ドレイン電極と同じ金属よりなる上層を形成する工程と、上記絶縁性基板上を覆うようにパッシベーション膜を形成する工程と、上記パッシベーション膜の上記ドレイン電極端部上と上記ソース電極上とにコンタクトホールを形成する工程と、上記パッシベーション膜上に透光性の金属膜を形成し、エッチングすることにより、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記コンタクトホールを介して隣り合うドレイン電極同士を接続するドレイン電極接続部とを形成する工程と、を有することを特徴とする薄膜トランジスタアレイ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス駆動型の液晶ディスプレイの一方の基板となる薄膜トランジスタ（TFT）アレイ基板及びその製造方法に関する。

## 【0002】

【従来の技術】 図2は従来のTFTアレイ基板の1画素

部分を示す平面図、図3は図2のC-C線断面図、図4は図2のD-D線断面図である。

【0003】 図に示されるように、従来のTFTアレイ基板には、ガラス基板21上にTaからなるゲート電極22及びその配線部22a、この上に形成されたTa<sub>2</sub>O<sub>5</sub>層23及び23a、その上に形成されたSiNx膜24及び24a、その上に形成されたアモルファスシリコン（a-Si）膜25及び25a、リンドープアモルファスシリコン（n<sup>+</sup>a-Si）膜26及び26aが備えられている。また、ガラス基板21上には、画素電極27がマトリクス状に配列されて、さらに、画素電極27にn<sup>+</sup>a-Si膜26を接続するソース電極28と、n<sup>+</sup>a-Si膜26に接続されたドレイン電極29と、全体を覆うパッシベーション膜30とが備えられている。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記従来のTFTアレイ基板では、ゲート電極に用いたTaの電気抵抗率が大きいために、ゲート電極に印加されるアドレス信号のパルス波形の歪みが大きくなり、ゲート電極の開放端側でコントラストが劣化するという問題があった。

【0005】 かかる問題を解消するために、ゲート電極を多層構造とすることも考えられるが、製造工程が増えるという問題があった。

【0006】 そこで、本発明は上記課題を解決するためになされたものであり、その目的とするところは、製造工程を複雑にすることなく、画質を向上させることができるTFTアレイ基板及びその製造方法を提供することにある。

## 【0007】

【課題を解決するための手段】 本発明に係るTFTアレイ基板は、絶縁性基板と、上記絶縁性基板上に形成されたゲート電極配線部の下層と、上記絶縁性基板上に上記下層と同じ金属により形成され、上記下層に接続されたゲート電極と、上記ゲート電極上に形成された絶縁膜と、上記絶縁膜上に形成された半導体層と、上記絶縁性基板上の上記ゲート電極配線部の間の部分に、上記ゲート電極配線部に交差する方向に延びるように形成されたドレイン電極と、上記絶縁性基板上の所定位置に上記ドレイン電極と同じ金属により形成されたソース電極と、上記ゲート電極配線部の下層上に上記ドレイン電極と同じ金属により形成された上層と、上記絶縁性基板上を覆うように形成されたパッシベーション膜と、上記パッシベーション膜の上記ドレイン電極端部上と、上記ソース電極上とに形成されたコンタクトホールと、上記パッシベーション膜上に形成され、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記パッシベーション膜上に上記画素電極と同じ金属により形成され、上記コンタクトホールを介して隣り合うドレイン

電極同士を接続するドレイン電極接続部とを有することを特徴としている。

【0008】また、本発明に係るTFTアレイベースの製造方法は、絶縁性基板上に、互いに平行に延びるように複数本のゲート電極配線部の下層を形成し、これと同時に上記ゲート電極配線部の下層と同じ金属よりなるゲート電極を形成する工程と、上記ゲート電極上に絶縁膜と半導体層と順に形成する工程と、上記絶縁性基板上の上記ゲート電極配線部の間に、上記ゲート電極配線部に交差する方向に延びるドレイン電極を形成し、これと同時に上記絶縁性基板上の所定位置に上記ドレイン電極と同じ金属よりなるソース電極を形成し、これと同時に上記ゲート電極配線部の下層上に上記ドレイン電極と同じ金属よりなる上層を形成する工程と、上記絶縁性基板上を覆うようにパッシベーション膜を形成する工程と、上記パッシベーション膜の上記ドレイン電極端部上と上記ソース電極上とにコンタクトホールを形成する工程と、上記パッシベーション膜上に透光性の金属膜を形成し、エッチングすることにより、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記コンタクトホールを介して隣り合うドレイン電極同士を接続するドレイン電極接続部とを形成する工程とを有することを特徴としている。

【0009】

【作用】本発明に係るTFTアレイベースまたはその製造方法によれば、ゲート電極配線部の下層上にドレイン電極と同じ金属により形成された上層が設けられるので、ゲート電極配線の電気抵抗率が低くなり、画質の向上が図れる。

【0010】また、本発明に係るTFTアレイベースまたはその製造方法によれば、ドレイン電極とゲート電極配線部の上層とを同一工程で形成でき、画素電極とコンタクトホールを介して隣り合うドレイン電極同士を接続するドレイン電極接続部とを同一工程で形成できるので、製造が簡単になる。

【0011】

【実施例】図1は、本発明に係るTFTアレイベースの一実施例の1画素部分を示す平面図、図5は図1のA-A線断面図、図6は図1のB-B線断面図である。

【0012】図に示されるように、本実施例のTFTアレイベースには、ガラス等からなる透明な絶縁性基板1と、この基板1上にTa又はTaの合金により形成されたゲート電極配線部2の下層2aと、この下層2aと同じTa又はTaの合金により形成されており下層2aに接続されているゲート電極3とが備えられている。

【0013】また、本実施例には、ゲート電極3上に、 $Ta_2O_5$ よりなる第一絶縁膜4と、この絶縁膜4上に形成されたSiNxよりなる第二絶縁膜5と、半導体活性層としてのアモルファスシリコン(a-Si)膜6と、その上に形成されたリンドーパアモルファスシリコ

ン( $n^+ a-Si$ )膜7とが備えられている。

【0014】さらに、平行に複数本配列されているゲート電極配線部2の間には(図1では1本のゲート電極配線部2のみを示す)、このゲート電極配線部2に交差する方向に延びるように配置されておりA1からなるドレイン電極8と、基板1上の所定位置にこのドレイン電極8と同じA1により形成されたソース電極9とが備えられている。また、ゲート電極配線部2の下層2a上にはドレイン電極8と同じA1により形成された上層2bが形成されている。

【0015】また、基板1上には、基板1上に備えられた上記構成を覆うようにパッシベーション膜10が備えられている。そして、このパッシベーション膜10の、ドレイン電極8の端部上にはコンタクトホール10a及び10bが形成されており、パッシベーション膜10のソース電極9上にはコンタクトホール10cが形成されている。

【0016】さらにまた、パッシベーション膜10上には、ソース電極11にコンタクトホール10cを介して接続されたITOよりなる画素電極11と、パッシベーション膜10上に画素電極と同じITOにより形成され、コンタクトホール10aと10bとを介して隣り合うドレイン電極8同士を接続するドレイン電極接続部12とが備えられている。

【0017】また、上記TFTアレイベースの製造は次のようになされる。

【0018】まず、ガラス等の透明絶縁性基板1上にスパッタ法によりTa膜又はTaを含む合金膜を形成し、エッチングを行ってゲート電極3とゲート電極配線部2の下層2aとを形成する。

【0019】次に、TFT形成部分について、ゲート電極3の表面を陽極酸化して $Ta_2O_5$ よりなる第一絶縁膜4を形成する。

【0020】次に、プラズマCVD法により、SiNxよりなる第二絶縁膜5、半導体活性層としてのa-Si膜6、オーミック接合層としての $n^+ a-Si$ 膜7を成膜し、TFT形成部分を残すようにエッチング除去する。

【0021】次に、スパッタ法によりA1膜を形成し、エッチングすることにより、ドレイン電極8と、ソース電極9と、ゲート電極配線部2の下層2a上の上層2bとを形成する。ここで、ドレイン電極8と、ソース電極9と、上層2bとなる金属としては、チタン(Ti)、モリブデン(Mo)、クロム(Cr)、ニッケル(Ni)、NiCrや、これらの多層膜であってもよい。

【0022】次に、ソース電極9とドレイン電極8との間に露出している $n^+ a-Si$ 層7をエッチング除去する。

【0023】次に、SiNx、 $SiO_2$ 、又はこれらの積層膜からなるパッシベーション膜10を成膜し、エ

5

チングにより、ドレイン電極8の端部上にコンタクトホール10aと10bを、ソース電極9上にコンタクトホール10cを形成する。

【0024】次に、ITOを全面に成膜し、エッチングにより、コンタクトホール10cを介してソース電極9に接続された画素電極11と、コンタクトホール10aと10bとを介してドレイン電極8に接続されたドレイン電極接続部12とを形成する。

【0025】以上に説明したように、本実施例によれば、ゲート電極配線部2の下層2a上にドレイン電極8と同じA1により形成された上層2bが設けられるので、ゲート電極配線2の電気抵抗率が低くなり、画質の向上が図れる。

【0026】また、本実施例によれば、ドレイン電極8と上層2bとを同一工程で形成でき、画素電極11とコンタクトホール10aと10bとを介して隣り合うドレイン電極8同士を接続するドレイン電極接続部12とを同一工程で形成できるので、製造工程が増えず、製造が簡単になる。

【0027】尚、上記実施例では、ドレイン電極接続部12をゲート電極配線部2と交差する部分にだけに残した場合について説明したが、本発明はこれには限定されず、ドレイン電極8上に連続的に形成してもよい。

【0028】

【発明の効果】以上説明したように、本発明のTFTアレイ基板及びその製造方法によれば、ゲート電極配線部の下層上にドレイン電極と同じ金属により形成された上層が設けられるので、ゲート電極配線の電気抵抗率が低くなり、画質の向上が図れる。

【0029】また、本発明によれば、ドレイン電極と上

6

層とを同一工程で形成でき、画素電極とコンタクトホールとを介して隣り合うドレイン電極同士を接続するドレイン電極接続部とを同一工程で形成できるので、製造を簡単にすることができる。

【図面の簡単な説明】

【図1】本発明に係るTFTアレイ基板の一実施例の1画素部分を示す平面図である。

【図2】従来のTFTアレイ基板の1画素部分を示す平面図である。

【図3】図2のC-C線断面図である。

【図4】図2のD-D線断面図である。

【図5】図1のA-A線断面図である。

【図6】図1のB-B線断面図である。

【符号の説明】

- 1 絶縁性基板
- 2 ゲート電極配線部
- 2a 下層
- 2b 上層
- 3 ゲート電極
- 4 第一絶縁膜
- 5 第二絶縁膜
- 6 a-Si膜
- 7 n<sup>+</sup>a-Si膜
- 8 ドレイン電極
- 9 ソース電極
- 10 パッシベーション膜
- 10a, 10b, 10c コンタクトホール
- 11 画素電極
- 12 ドレイン電極接続部

【図3】

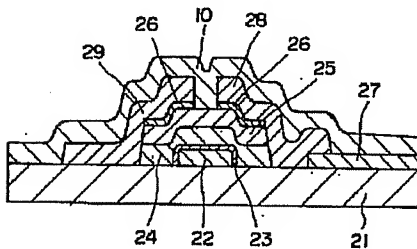


図2のC-C線断面図

【図4】

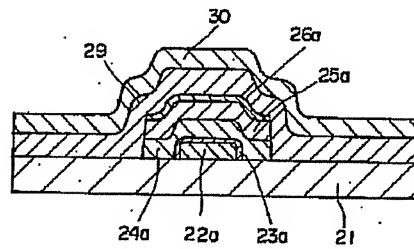
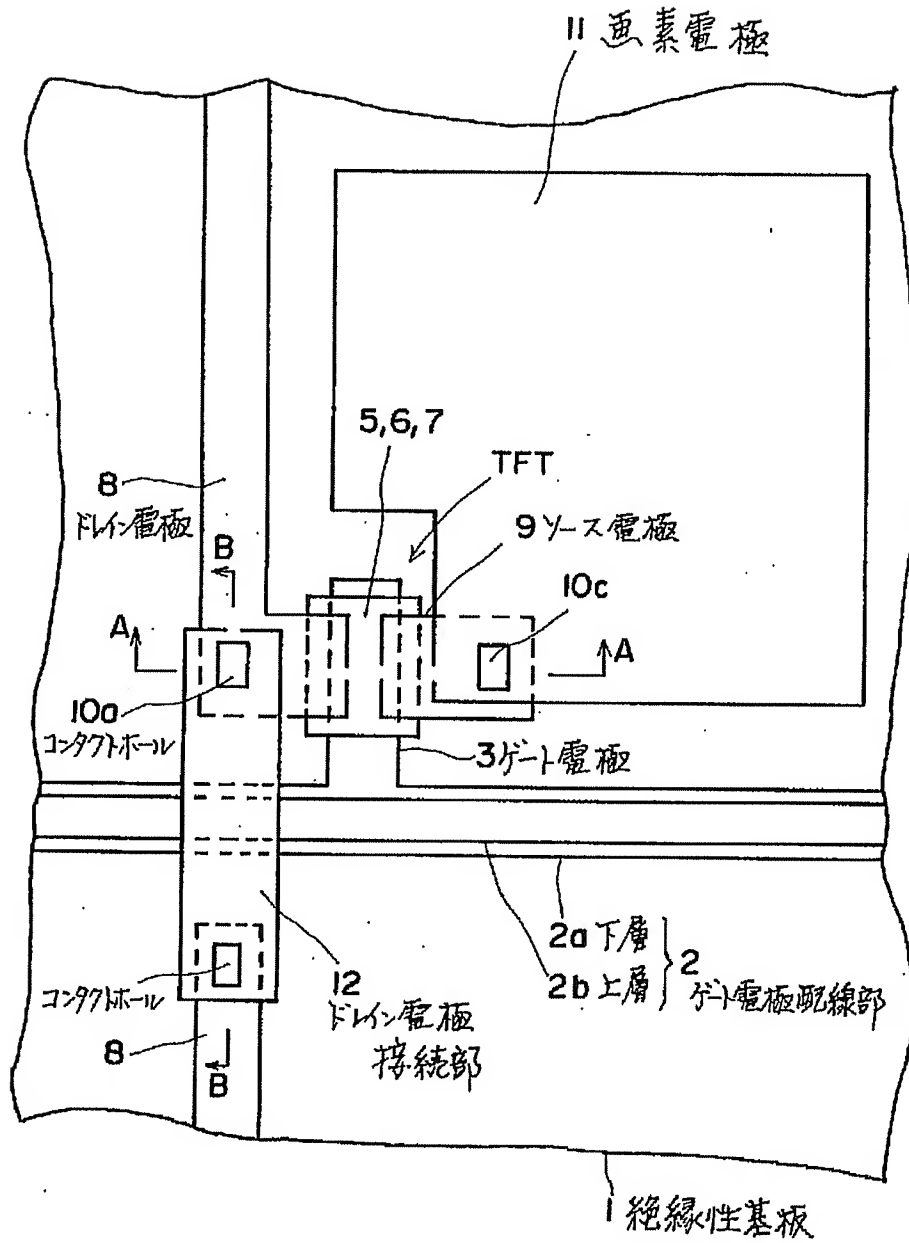


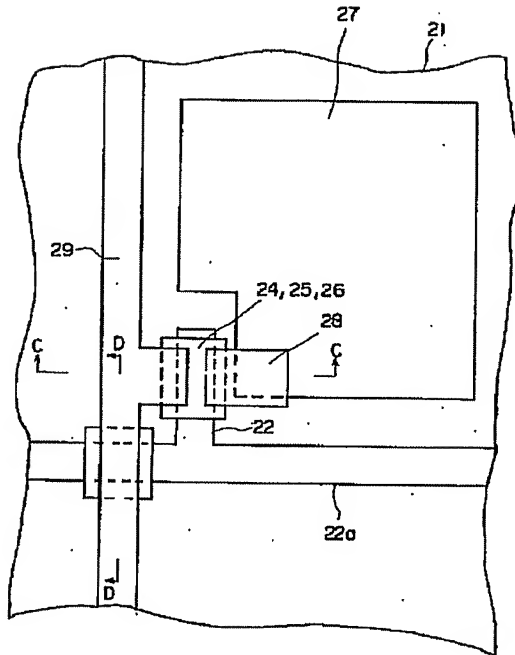
図2のD-D線断面図

【図1】



実施例の平面図

【図2】



従来例の平面図

【図5】

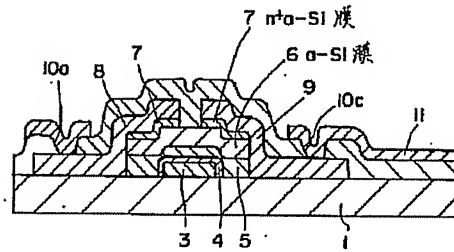


図1のA-A線断面図

【図6】

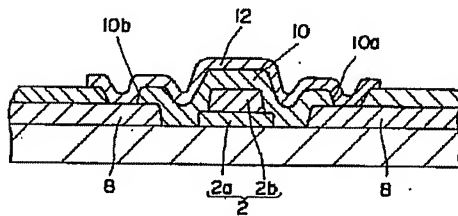


図1のB-B線断面図

フロントページの続き

(72)発明者 清水 マリ  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内